

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-100900

(43)Date of publication of application : 23.04.1993

(51)Int.Cl. G06F 11/28

(21)Application number : 03-261585

(71)Applicant : NEC CORP

KOBE NIPPON DENKI SOFTWARE KK

(22)Date of filing : 09.10.1991

(72)Inventor : BABA SEIJI

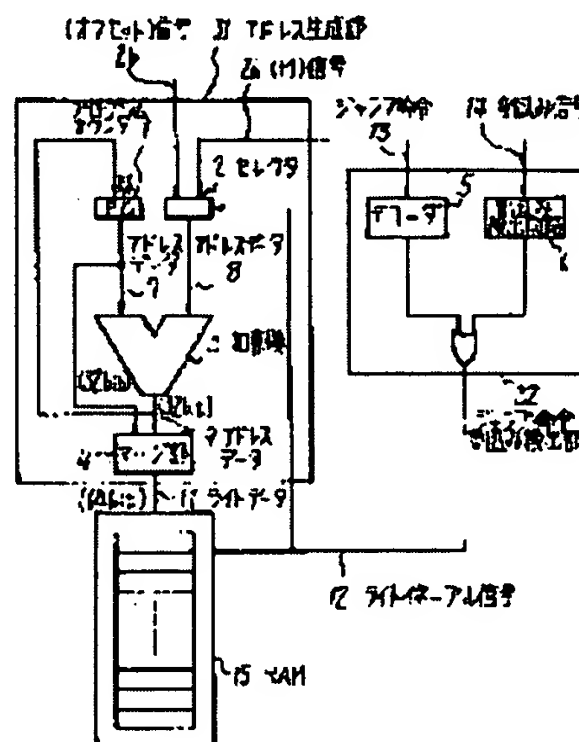
HASHIMOTO SHOZO

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To recognize relation between a front and a rear when a fault occurs by storing the address of jump origin or interruption origin and the address of a jump destination or interruption destination in RAM when there are a jump instruction and interruption.

CONSTITUTION: Unless the jump instruction or interruption of the software instruction comes, an address generating part 31 sets the address of the software instruction which is succeedingly executed in a successive program counter 1 and does not write it in a random access memory(RAM) 15 while a program is under progress. When a jump instruction interruption detecting part 32 detects the jump instruction or interruption of the software instruction, the address generating part 31 merges the address of jump origin or interruption origin in the address of the jump destination or interruption destination so as to adopt it as write data 11 which is 64-bit data and transmits it to RAM 15 and RAM 15 stores the data 11. In this case, the start and stop of a writing operation to RAM 14 is executed by the indication of software.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-100900

(43)公開日 平成5年(1993)4月23日

(51) $\text{In} \cdot \text{Cl}^{\cdot}$

G O 6 F 11/28

識別記号

3 1 0 E 8725-5B

室内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平3-261585

(22)出願日 平成3年(1991)10月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000192545

神戸日本電気ソフトウェア株式会社

兵庫県神戸市西区高塚台5丁目3番1号

(72)発明者 馬場 清司

東京都港区芝五丁目7番1号日本電気株式
会社内

(72)発明者 橋本 正三

兵庫県神戸市西区高塚台5丁目3番1号神戸日本電気ソフトウェア株式会社内

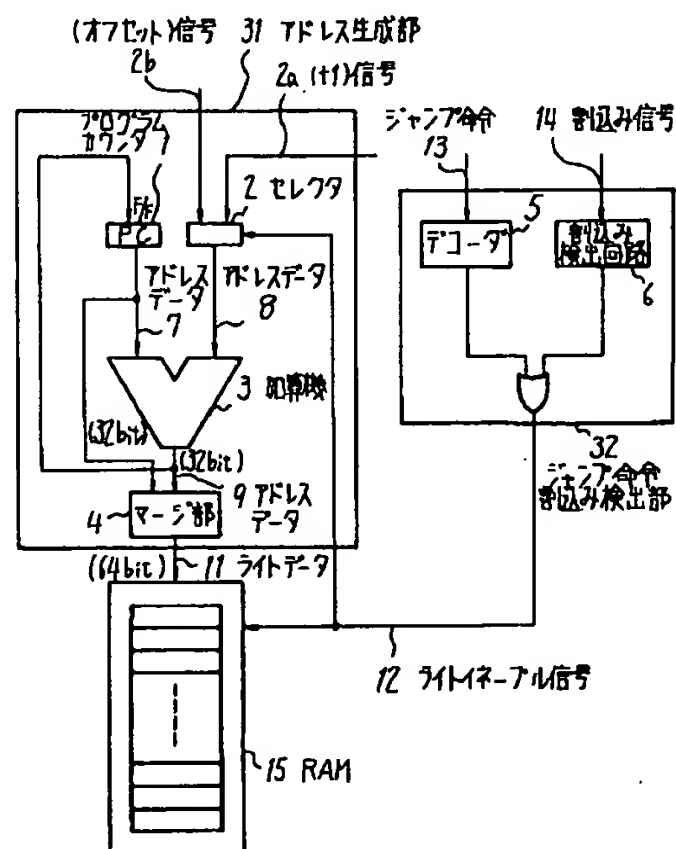
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 情報処理装置

(57) 【要約】

【構成】 ジャンプ命令および割込みを検出し、ジャンプ命令および割込みがあったときそのジャンプ元または割込み元のアドレスとジャンプ先または割込み先のアドレスとをRAMに格納するように構成する。また、RAMに対する書込み動作の開始と停止とをソフトウェアの指示によって行うようにする。更に、RAMの数を2個とし、それらに対する書込み動作を選択できるようにする。

【効果】 非同期的な割込みやプロセッサの暴走による障害が発生した場合、その前後の繋りを確認することができる。また、RAMに格納するアドレスの範囲を任意に設定することができる。更に障害が発生したときの情報と障害が発生する1事象前の情報とを別個のRAMに格納しておくことができるため、それらの情報を比較しながら障害原因の解析を行うことができる。



【特許請求の範囲】

【請求項1】 ジャンプ命令を入力してそれを検出するデコーダと、割込み信号を入力してそれを検出する割込み検出回路とを有し、前記ジャンプ命令または前記割込み信号のいずれか一方を検出したときライトイネーブル信号を出力するジャンプ命令割込み検出部と、

(+1) 信号と(オフセット)信号と前記ジャンプ命令割込み検出部からの前記ライトイネーブル信号とを入力して実行すべきソフトウェア命令がジャンプ命令および割込み以外の場合は前記(+1)信号を出力し実行すべきソフトウェア命令がジャンプ命令または割込みの場合は前記(オフセット)信号を出力するセレクトと、実行したソフトウェア命令のアドレスを逐次カウントするプログラムカウンタと、前記プログラムカウンタの出力のアドレスデータと前記セレクトからのアドレスデータとを入力して加算する加算機と、前記加算機からのアドレスデータと前記プログラムカウンタからのアドレスデータとをマージしてその結果をライトデータとして出力するマージ部とを有するアドレス生成部と、前記ライトデータと前記ライトイネーブル信号とを入力して前記ライトデータを格納するランダムアクセスメモリとを備えることを特徴とする情報処理装置。

【請求項2】 ジャンプ命令を入力してそれを検出するデコーダと、割込み信号を入力してそれを検出する割込み検出回路とを有し、前記ジャンプ命令または前記割込み信号のいずれか一方を検出し、かつ外部からのRAMライトオンオフ指示信号がイネーブルになったときにライトイネーブル信号を出力するジャンプ命令割込み検出部と、

(+1) 信号と(オフセット)信号と前記ジャンプ命令割込み検出部からの前記ライトイネーブル信号とを入力して実行すべきソフトウェア命令がジャンプ命令および割込み以外の場合は前記(+1)信号を出力し実行すべきソフトウェア命令がジャンプ命令または割込みの場合は前記(オフセット)信号を出力するセレクトと、実行したソフトウェア命令のアドレスを逐次カウントするプログラムカウンタと、前記プログラムカウンタの出力のアドレスデータと前記セレクトからのアドレスデータとを入力して加算する加算機と、前記加算機からのアドレスデータと前記プログラムカウンタからのアドレスデータとをマージしてその結果をライトデータとして出力するマージ部とを有するアドレス生成部と、前記RAMライトオンオフ指示信号を反転させたオンオフ反転信号を入力してフリップフロップ23を反転動作を行うことによって二つのセレクト信号のうちのいずれか一方のセレクト信号を出力するフリップフロップを有するRAMセレクト部と、前記ライトデータおよび前記ライトイネーブル信号および前記二つのセレクト信号のうちの一方のセレクト信号を入力して前記ライトデータを格納し、ダンプ開始命令

を入力することによってその格納している内容をRAM出力データとして外部に出力する2個のランダムアクセスメモリとを備えることを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置に関し、特に、障害が発生したときのソフトウェアプログラムのトレース機能に関する。

【0002】

10 【従来の技術】従来の情報処理装置は、ソフトウェアのジャンプ・割込みが発生したとき、ジャンプ元およびジャンプ先のアドレスを保持しておく機能を有しておらず、プログラムカウンタは、常に現在実行中の命令または次に実行する命令を示すようになっている。非同期な割込みやプロセッサの暴走による障害の場合は、プログラムカウンタは、エラーが発生した命令を示すだけであり、ソフトウェアによるどんな処理がその前に行われていたかをプロセッサのレジスタ情報から知るための手段を有していない構成となっている。

20 【0003】

【発明が解決しようとする課題】上述したように、従来の情報処理装置は、ソフトウェアのジャンプ・割込みが発生したとき、ジャンプ元およびジャンプ先のアドレスを保持しておく機能を有しておらず、プログラムカウンタは、常に現在実行中の命令または次に実行する命令を示すようになっている。このため、非同期な割込みやプロセッサの暴走による障害の場合は、プログラムカウンタは、エラーが発生した命令を示すだけであり、ソフトウェアによるどんな処理がその前に行われていたかをプロセッサのレジスタ情報から知ることができないという欠点を有している。また、間欠的な障害のときは、正常に動作した場合と異常が発生した場合とを比較することが障害の解決のための第一段階であるが、従来の情報処理装置では、障害の根本原因を把握することが困難であり、エラーが発生した命令のアドレスという表面的な情報しか得られないという欠点を有している。

30 【0004】

【課題を解決するための手段】本発明の情報処理装置は、ジャンプ命令を入力してそれを検出するデコーダと、割込み信号を入力してそれを検出する割込み検出回路とを有し、前記ジャンプ命令または前記割込み信号のいずれか一方を検出したときライトイネーブル信号を出力するジャンプ命令割込み検出部と、(+1)信号と(オフセット)信号と前記ジャンプ命令割込み検出部からの前記ライトイネーブル信号とを入力して実行すべきソフトウェア命令がジャンプ命令および割込み以外の場合は前記(+1)信号を出力し実行すべきソフトウェア命令がジャンプ命令または割込みの場合は前記(オフセット)信号を出力するセレクトと、実行したソフトウェア命令のアドレスを逐次カウントするプログラムカウン

50

(3)

特開平5-100900

3

タと、前記プログラムカウンタの出力のアドレスデータと前記セクタからのアドレスデータとを入力して加算する加算機と、前記加算機からのアドレスデータと前記プログラムカウンタからのアドレスデータとをマージしてその結果をライトデータとして出力するマージ部とを有するアドレス生成部と、前記ライトデータと前記ライトイネーブル信号とを入力して前記ライトデータを格納するランダムアクセスメモリとを備えたものである。

【0005】本発明の情報処理装置は、また、ジャンプ命令を入力してそれを検出するデコーダと、割込み信号を入力してそれを検出する割込み検出回路とを有し、前記ジャンプ命令または前記割込み信号のいずれか一方を検出し、かつ外部からのRAMライトオンオフ指示信号がイネーブルになったときにライトイネーブル信号を出力するジャンプ命令割込み検出部と、(+1)信号と

(オフセット)信号と前記ジャンプ命令割込み検出部からの前記ライトイネーブル信号とを入力して実行すべきソフトウェア命令がジャンプ命令および割込み以外の場合は前記(+1)信号を出力し実行すべきソフトウェア命令がジャンプ命令または割込みの場合は前記(オフセ 20 ャット)信号を出力するセクタと、実行したソフトウェア命令のアドレスを逐次カウントするプログラムカウンタと、前記プログラムカウンタの出力のアドレスデータと前記セクタからのアドレスデータとを入力して加算する加算機と、前記加算機からのアドレスデータと前記プログラムカウンタからのアドレスデータとをマージしてその結果をライトデータとして出力するマージ部とを有するアドレス生成部と、前記RAMライトオンオフ指示信号を反転させたオンオフ反転信号を入力してフリップフロップ23を反転動作を行うことによって二つのセ 30 レクト信号のうちのいずれか一方のセレクト信号を出力するフリップフロップを有するRAMセレクト部と、前記ライトデータおよび前記ライトイネーブル信号および前記二つのセレクト信号のうちの一方のセレクト信号を入力して前記ライトデータを格納し、ダンプ開始命令を入力することによってその格納している内容をRAM出力データとして外部に出力する2個のランダムアクセスメモリとを備えたものである。

【0006】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0007】図1は本発明の第一の実施例を示すブロック図である。

【0008】図1の実施例は、アドレス生成部31と、ジャンプ命令割込み検出部32と、ランダムアクセスメモリ(RAM)15とを備えて構成されている。

【0009】ジャンプ命令割込み検出部32は、ジャンプ命令13を入力してそれを検出するデコーダ5と、割込み信号14を入力してそれを検出する割込み検出回路6とを有しており、ジャンプ命令13または割込み信号 50

4

14のいずれか一方が検出されたとき、ライトイネーブル信号12をRAM15およびアドレス生成部31のセクタ2に出力する。

【0010】アドレス生成部31は、実行すべきソフトウェア命令がジャンプ命令および割込み以外の場合は、プログラムカウンタ1の出力のアドレスデータ7(32ビット)と、(+1)信号2aを出力したセクタ2からのアドレスデータ8とを加算機3において加算して、アドレスデータ9をマージ部4に出力する。実行すべきソフトウェア命令がジャンプ命令または割込みの場合は、プログラムカウンタ1の出力のアドレスデータ7と、(オフセット)信号2bを出力したセクタ2からのアドレスデータ8とを加算機3において加算して、アドレスデータ9(32ビット)をマージ部4に出力する。マージ部4は、プログラムカウンタ1からのアドレスデータ7(32ビット)と加算機3からのアドレスデータ9(32ビット)とを入力してその両方のアドレスをマージし、その結果をライトデータ11(64ビット)として出力する。アドレスデータ9はプログラムカウンタ1にも出力される。

【0011】RAM15は、1ブロック64ビット構成のランダムアクセスメモリであり、マージ部4からライトデータ11(64ビット)を入力してそれを格納する。

【0012】このように構成した上述の実施例は、ソフトウェア命令のジャンプ命令または割込みが入っていない場合、アドレス生成部31は、プログラムの進行中、次に実行するソフトウェア命令のアドレスを逐次プログラムカウンタ1にセットし、RAM15には書込まない。ジャンプ命令割込み検出部32がソフトウェア命令のジャンプ命令または割込みを検出したときは、アドレス生成部31は、ジャンプ元または割込み元のアドレスとジャンプ先または割込み先のアドレスとをマージして64ビットのデータとしたライトデータ11をRAM15に送出し、RAM15はそれを格納する。

【0013】図2は本発明の第二の実施例を示すブロック図である。

【0014】図2の実施例は、アドレス生成部31と、ジャンプ命令割込み検出部33と、2個のランダムアクセスメモリ(RAM)16および17と、RAMセレクト部34とを備えて構成されている。

【0015】ジャンプ命令割込み検出部33は、ジャンプ命令13を入力してそれを検出するデコーダ5と、割込み信号14を入力してそれを検出する割込み検出回路6とを有しており、ジャンプ命令13または割込み信号14のいずれか一方を検出し、かつ外部からのRAMライトオンオフ指示信号21がイネーブルになったときにライトイネーブル信号12をRAM15およびアドレス生成部31のセクタ2に出力する。

【0016】アドレス生成部31は、実行すべきソフト

ウェア命令がジャンプ命令および割込み以外の場合は、プログラムカウンタ1の出力のアドレスデータ7（32ビット）と、（+1）信号2aを出力したセクタ2からのアドレスデータ8とを加算機3において加算して、アドレスデータ9をマージ部4に出力する。実行すべきソフトウェア命令がジャンプ命令または割込みの場合は、プログラムカウンタ1の出力のアドレスデータ7と、（オフセット）信号2bを出力したセクタ2からのアドレスデータ8とを加算機3において加算して、アドレスデータ9（32ビット）をマージ部4に出力する。マージ部4は、プログラムカウンタ1からのアドレスデータ7（32ビット）と加算機3からのアドレスデータ9（32ビット）とを入力してその両方のアドレスをマージし、その結果をライトデータ11（64ビット）として出力する。アドレスデータ9はプログラムカウンタ1にも出力される。

【0017】RAM16および17は、1ブロック64ビット構成のランダムアクセスメモリであり、マージ部4からライトデータ11（64ビット）を入力してそれを格納する。

【0018】RAMセレクト部34は、ソフトウェア命令RAMライトオフの指示が発行されたとき、RAMライトオンオフ指示信号21を反転させたオンオフ反転信号22を入力してフリップフロップ23を反転させることによってRAM16と17との使用を切替える動作をする。すなわち、RAMセレクト部34がRAM16または17を選択している状態を反転させて、反対側のRAM16または17を選択するためのセレクト信号19または20を、それぞれRAM16および17に出力する。RAM16および17の書き込み動作は、ソフトウェアの指示によってオンオフ反転信号22がオンになったときに開始される。ソフトウェアの指示によってダンブ命令18が発行されると、RAM16および17の内容をRAM出力データ24および25として外部に出力する。

【0019】このように構成した第二の実施例は、ソフトウェア命令のジャンプ命令または割込みが入っていない場合、アドレス生成部31は、プログラムの進行中、次に実行するソフトウェア命令のアドレスを逐次プログラムカウンタ1にセットし、RAM16および17には書き込まない。ジャンプ命令割込み検出部33がソフトウェア命令のジャンプ命令または割込みを検出したときは、アドレス生成部31は、ジャンプ元または割込み元のアドレスとジャンプ先または割込み先のアドレスとをマージして64ビットのデータとしたライトデータ11をRAM16および17に送出する。RAM16または17は、ソフトウェアの指示によってオンオフ反転信号22がオンになったとき、RAMセレクト部34のフリップフロップ23によって選択されている方のRAMが動作し、このライトデータ11を格納する。次に、ソフ

トウェアの指示によってオンオフ反転信号22がオフになると、フリップフロップ23が反転して反対側のRAMが選択され、再度オンオフ反転信号22がオンになると、反対側のRAMが動作してライトデータ11を格納する。障害が起ると、ソフトウェアの指示によってダンブ開始命令18が発行され、RAM16および17の内容がそれぞれRAM出力データ24および25として外部に出力される。

【0020】

10 【発明の効果】以上説明したように、本発明の情報処理装置は、ジャンプ命令および割込みを検出し、ジャンプ命令および割込みがあったときそのジャンプ元または割込み元のアドレスとジャンプ先または割込み先のアドレスとをRAMに格納するように構成することにより、非同期な割込みやプロセッサの暴走による障害が発生した場合、その前後の繋りを確認することができるという効果がある。また、RAMに対する書き込み動作の開始と停止とをソフトウェアの指示によって行うようにすることにより、RAMに格納するアドレスの範囲を任意に設定

20 することができるという効果もある。更に、RAMの数を2個とし、それらに対する書き込み動作を選択できるようにすることにより、障害が発生したときの情報と障害が発生する1事象前の情報とを別個のRAMに格納しておくことができるため、それらの情報を比較しながら障害原因の解析を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図である。

【図2】本発明の第二の実施例を示すブロック図である。

【符号の説明】

- | | |
|----|------------------|
| 1 | プログラムカウンタ |
| 2 | セクタ |
| 2a | （+1）信号 |
| 2b | （オフセット）信号 |
| 3 | 加算機 |
| 4 | マージ部 |
| 5 | デコーダ |
| 6 | 割込み検出回路 |
| 7 | アドレスデータ |
| 8 | アドレスデータ |
| 9 | アドレスデータ |
| 11 | ライトデータ |
| 12 | ライトイネーブル信号 |
| 13 | ジャンプ命令 |
| 14 | 割込み信号 |
| 15 | ランダムアクセスメモリ（RAM） |
| 16 | ランダムアクセスメモリ（RAM） |
| 17 | ランダムアクセスメモリ（RAM） |
| 18 | ダンブ命令 |

(5)

特開平5-100900

7

8

- 19 セレクト信号
- 20 セレクト信号
- 21 RAMライトオンオフ指示信号
- 22 オンオフ反転信号
- 23 フリップフロップ
- 24 RAM出力データ

- * 25 RAM出力データ
- 31 アドレス生成部
- 32 ジャンプ命令割込み検出部
- 33 ジャンプ命令割込み検出部
- 34 RAMセレクト部

*

【図1】

【図2】

